

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-148672

(43)Date of publication of application : 06.06.1997

(51)Int.CI.

H01S 3/18

(21)Application number : 07-309632

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 29.11.1995

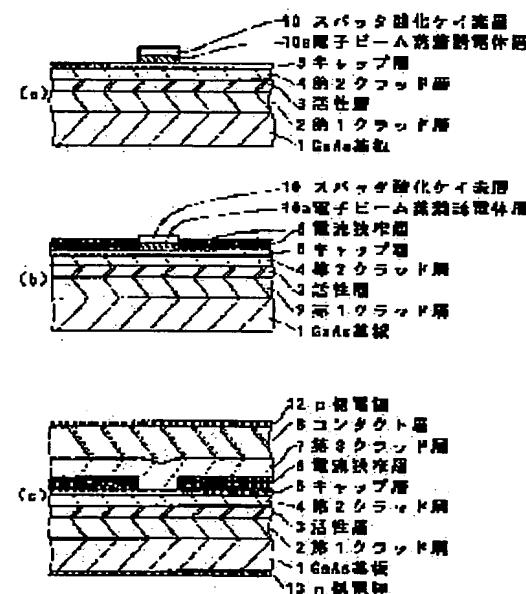
(72)Inventor : MATSUBARA KUNIO

(54) MANUFACTURE OF SEMICONDUCTOR LASER DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To recent dopant of Zn from being abnormally diffused into a GaAs cap layer so as to enable a LD (semiconductor laser) device to be prevented from increasing in resistance and improved in manufacturing yield.

SOLUTION: A first conductivity-type $Al_xGa_{1-x}As$ ($0 \leq x \leq 1$) first clad layer 2, an $Al_yGa_{1-y}As$ ($1 \leq y \leq x \leq 1$) active layer 3, a second conductivity-type $Al_xGa_{1-x}As$ second clad layer 4, and a second conductivity-type GaAs cap layer 5 are successively laminated on a first conductivity-type GaAs substrate 1. Furthermore a dielectric layer is formed thereon and patterned, an $Al_wGa_{1-w}As$ ($0 \leq w \leq 1$) current constriction layer 6 is selectively formed only on the cap layer 5, then the dielectric layer is removed, and a second conductivity-type $Al_xGa_{1-x}As$ third clad layer 7 is formed on all the surface for the formation of an AlGaAs semiconductor laser device, wherein the dielectric layer is a laminates layer composed of a dielectric layer 10a formed through an electron beam evaporation method and a silicon oxide layer 10 formed through a sputtering method.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

界面にストレスが発生し、Gelsキャップ層5のドーバント2nが以降の応力保持時に異常応力を発生することから、Gelsキャップ層5の接着が高くなり素子特性が悪化することである。

[0008] 実際に、従来の方法で製造したLD素子を1枚のウエハより製作為了に500個取り出した光出力特性を測定したところ、高抵抗の素子が1.3個生じ、不良率は2.7%であった。このように、不良は必ずしもウエハ全面で発生するのではないか、素子の製造歩留りを低下させる。この発明の目的は、Gelsキャップ層のドーバントであるZnの異常応力を防止し、高抵抗のLD素子の発生を押さえ、LD素子の製造歩留りを向上させることがある。

[0009]

【課題を解決するための手段】上記の目的を達成するために本発明は、第1導電型のG a A s基板の主上面に、第1導電型のAl/Ga_{1-x}As(0.5≤x≤1)の組成の第1クラッド層、Al_xGa_{1-x}As(0.5≤x≤1)の組成の活性層、第2導電型のAl_xGa_{1-x}As(0.5≤x≤1)の組成の第2クラッド層、新2導電型のGelsキャップ層を順に積層した後、Al_xGa_{1-x}As(0.5≤x≤1)の組成の電流挿引層をキャップ層上のみに選択成長した後、誘電体層を除去し、さらに誘電体層を形成し、この誘電体層をバーニングした後、Al_xGa_{1-x}As(0.5≤x≤1)の組成の電流挿引層をキャップ層上のみに選択成長した後、誘電体層を除去し、全面に第2導電型のAl_xGa_{1-x}Asの組成の第3クラッド層を積層する工程を有するAl/Ga_{1-x}As半導体レーザ素子の要構成において、前記誘電体層は、電子ビーム蒸着による誘電体層と次いでスパッタにより形成される酸化チタニウムの膜層であることを示す。

[0010] 前記電子ビーム蒸着による誘電体層は酸化チタニウム層であると良い。電子ビーム蒸着された誘電体層は、スパッタにより形成された酸化チタニウム層よりかなり低密度であり機械的強度は小さく、見かけ上同じ熱膨張係数であっても、スパッタ誘電体層より結晶に与えるストレスは小さい。しかし、低密度のためエッチング強度は大きく幅の狭いマスクを形成することは困難である。

[0011] 本発明のように、直接Al_xGa_{1-x}As結晶上に、電子ビーム誘電体層を介在させてスパッタ低密度のGelsキャップ層は、電子ビーム誘電体層はスパッタ酸化チタニウムによるストレスを吸収し結晶へのストレスを緩和し、一方スパッタ酸化チタニウム層はその下の電子ビーム誘電体層の過度のエッチングを防止している。従って、バーニング強度はスパッタ酸化チタニウム層出始マスクの場合はと変わらず、Gelsキャップ層のストレスは小さくドーバントであるZnの異常応力を防止でき、製造歩留りの向上が期待できる。

[0012] 【発明の実施の形態】以下、本発明を実施例に基づき説明する。

ルミニユームを電子ビーム蒸着法により形成したが他の材料の誘電体層も同様の効果が期待できる。

[0013]

【発明の効果】本発明によれば、ストライプ形成時のマスクを電子ビーム蒸着による誘電体層とスパッタによる酸化ケイ素層の違いにより生じるストレスの発生を、電子ビーム蒸着による酸化ケイ素層が優れし、G a A sキャップ層中のドーバントは以降の成長時に異常拡散せず、キャップ層は高抵抗にならない。従って、高抵抗のLD素子の発生を抑えることができ、素子の製造歩留りが向上する。

[0014] また、LD素子の特性のばらつきも減少し、機器への適用もし易くなる。

【発明の歴史的説明】

[0015] 本発明に係るLD素子の主な製造工程後のウエハの一部のべき開面断面図、(a)は電流挿引層のバーニング工程後のべき開面断面図、(b)は電流挿引層の選択エピタキシャル成長後のべき開面断面図、(c)は電極用金属膜成長後のべき開面断面図。

[0016] 先ず、キャップ層したが、G a A sキャップ層の熱膨張係数の違いにより生じるストレスの発生を、電子ビーム蒸着による酸化ケイ素層が優れし、G a A sキャップ層と同一であるからこれを省略し、從来技

術と異なるキャップ層5への誘電体層の形成及び除去の方法についてのみ述べる。この実施例は、誘電体層を酸化ケイ素層とした場合である。先ず、キャップ層5の上面に電子ビーム蒸着により厚さ3.5μmの酸化ケイ素層1.0μmの形成を行った。成膜条件はグラニユール二酸化ケイ素を原料とし、真空度は1×10⁻³Pa、電子ビーム電流は50mA、基板温度は室温とした。次にスパッタにより厚さ6.5μmの酸化ケイ素層1.0の形成を行った。スパッタ条件は、ターゲットは鉛鉻石英、A_rガス圧力は4Pa、投入電力は5.0W、工具温度は室温とした。

[0017] 1次に、通常のフォトリソグライマーによりストライプを形成し、以下従来技術と同様の工程を行い、LD素子を製造した。電子ビーム蒸着酸化ケイ素層のみを用いない理由は、電子ビーム蒸着により形成された層のエッチング速度は0.1μm/秒と非常に早いため、次に行なうストライプの形成が難いためである。これと比スパッタにより形成された層のエッチング速度は、0.01μm/秒と1桁理いため、容易にストライプを形成できる。

[0018]

【図1】本発明に係るLD素子の主な製造工程後のウエハの一部のべき開面断面図、(a)は酸化ケイ素層と誘電体層の一部のべき開面断面図、(b)は電子ビーム蒸着酸化ケイ素層成長後のべき開面断面図、(c)は電極用金属膜成長後のべき開面断面図。

[0019]

【図2】従来のLD素子のべき開面に平行な断面図

【図3】従来のLD素子のべき開面に平行な断面図

【図4】本発明に係るLD素子のべき開面に平行な断面図

【図5】本発明に係るLD素子のべき開面に平行な断面図

【図6】本発明に係るLD素子のべき開面に平行な断面図

【図7】本発明に係るLD素子のべき開面に平行な断面図

【図8】本発明に係るLD素子のべき開面に平行な断面図

【図9】本発明に係るLD素子のべき開面に平行な断面図

【図10】本発明に係るLD素子のべき開面に平行な断面図

【図11】本発明に係るLD素子のべき開面に平行な断面図

【図12】本発明に係るLD素子のべき開面に平行な断面図

【図13】本発明に係るLD素子のべき開面に平行な断面図

【図14】本発明に係るLD素子のべき開面に平行な断面図

【図15】本発明に係るLD素子のべき開面に平行な断面図

【図16】本発明に係るLD素子のべき開面に平行な断面図

【図17】本発明に係るLD素子のべき開面に平行な断面図

【図18】本発明に係るLD素子のべき開面に平行な断面図

【図19】本発明に係るLD素子のべき開面に平行な断面図

【図20】本発明に係るLD素子のべき開面に平行な断面図

【図21】本発明に係るLD素子のべき開面に平行な断面図

【図22】本発明に係るLD素子のべき開面に平行な断面図

【図23】本発明に係るLD素子のべき開面に平行な断面図

【図24】本発明に係るLD素子のべき開面に平行な断面図

【図25】本発明に係るLD素子のべき開面に平行な断面図

【図26】本発明に係るLD素子のべき開面に平行な断面図

【図27】本発明に係るLD素子のべき開面に平行な断面図

【図28】本発明に係るLD素子のべき開面に平行な断面図

【図29】本発明に係るLD素子のべき開面に平行な断面図

【図30】本発明に係るLD素子のべき開面に平行な断面図

【図31】本発明に係るLD素子のべき開面に平行な断面図

【図32】本発明に係るLD素子のべき開面に平行な断面図

【図33】本発明に係るLD素子のべき開面に平行な断面図

【図34】本発明に係るLD素子のべき開面に平行な断面図

【図35】本発明に係るLD素子のべき開面に平行な断面図

【図36】本発明に係るLD素子のべき開面に平行な断面図

【図37】本発明に係るLD素子のべき開面に平行な断面図

【図38】本発明に係るLD素子のべき開面に平行な断面図

【図39】本発明に係るLD素子のべき開面に平行な断面図

【図40】本発明に係るLD素子のべき開面に平行な断面図

【図41】本発明に係るLD素子のべき開面に平行な断面図

31

